

Section 2. RT (Internet of Things, Real-Time Systems)

UDC 004.315

**Dmytro Oboznyi, Kateryna Poshtatska,
Valentyna Tkachenko, Oleksandr Verba**

RECONFIGURABLE MATH COPROCESSOR ON FPGA

**Обозний Дмитро, Поштацька Катерина,
Валентина Ткаченко, Олександр Верба**

МАТЕМАТИЧНИЙ СПІВПРОЦЕСОР НА ПЛІС З МОЖЛИВІСТЮ РЕКОНФІГУРАЦІЇ

The article deals with the development of a specialized calculator constructed on the basis of FPGA, for calculating arithmetic-logic functions. The calculator is proposed for integration with the reconfigurable processor, for the implementation of the concept of accelerating the implementation of programs, by hardware realization of the time-critical functional core.

Key words: FPGA, reconfigurable processor, hardware implementation of functional core, mathematical coprocessor, acceleration of computations.

Fig.: 1. Tabl. 0. Bibl. 0.

У статті розглядається розробка спеціалізованого обчислювача, побудованого на базі ПЛІС, для обчислення арифметико–логічних функцій. Обчислювач запропоновано для інтеграції з реконфігуровним процесором, для реалізації концепції прискорення виконання програм, шляхом апаратної реалізації критичних до часу виконання функціональних ядер.

Ключові слова: ПЛІС, реконфігуровний процесор, апаратна реалізація функціональних ядер, математичний співпроцесор, прискорення обчислень.

Рис.: 1. Табл. 0. Бібл. 0.

Relevance of research topic. Today it is very actual to search for new architectural solutions for improving the efficiency of computer systems. This trend is becoming more and more relevant, considering that extensive means of accelerating computations have reached their limitations [1]. On the other hand, the amount of information that is currently being used by high-performance computer systems today is growing extremely rapidly and will continue to grow. Artificial intelligence, which the world now cares about, puts on computer systems a task that can further become overwhelming for modern computers [2]. Therefore, one of the common solutions to

the problem of increasing the efficiency is the hardware acceleration of critical functional nuclei by the use of modern programmable logic integrated circuits (FPGAs). The peculiarity of the modern element base is the ultra-high degree of integration and the possibility of dynamic reconfiguration, which allows the implementation of flexible, high-speed architectural solutions of any complexity that can dynamically adapt to the requirements of solvable problems [3]. The acquisition by Intel of one of the largest companies of FPGA developer Altera also confirms the relevance and feasibility of the direction of hardware upgrading of computer systems and, in particular, processor cores.

Actual scientific researches and issues analysis. A number of papers [4, 5, 6] present classic solutions for increasing the efficiency of work at the expense of acceleration multiplication. In these works, the authors investigate the logical and hardware methods of accelerating multiplication. Logical methods can reduce the computational time due to more efficient multiplication algorithms, in particular due to the use of redundant numerical systems and systems with a basis of more than two [7]. In hardware methods, the emphasis is on the schematic reduction of computation and addition time [8].

In work [9] the efficiency of using a mathematical coprocessor, which, expansion of the capabilities of the central processor, is implemented as a separate functional module. Such a coprocessor was used to perform complex mathematical calculations, eliminating the central processor from a large number of tasks. According to Intel, a mathematical coprocessor reduces the execution time of mathematical operations, such as multiplication, division and elevation to an extent of 80 percent or more [10].

Today, all Intel and AMD processors, starting with 486DX, have a built-in math coprocessor and do not require a separate coprocessor (except Intel486SX). Although in first-generation computers (i80386, i80486), the mathematical coprocessor module was installed on the motherboard as a separate chip. The built-in SIMD-based extension coprocessor allows data parallelism to be provided. The Intel Advanced Vector Extensions extension provides a set of SIMD instructions for floating-point data processing in groups of 256 bits in length. The Intel MIC coprocessors include a 512-bit instruction set.

Using programmable logic integrated circuits allows you to increase the set of instructions for processing data to the bit, limited to only the number of incoming contacts.

There are currently two of the most powerful companies involved in the production of ASICs and Altera and Xilinx programmable integrated circuits (FPGAs). The main products are programmable chips, as well as services for converting projects under FPGA to ASIC for mass production. Companies also develop software for embedded software for FPGAs, as well as compilers under the core of their own processor processors. In order to increase processor performance in

2015, Altera was acquired by Intel and is now expected to release new products in symbiosis of these two manufacturers [11].

The research objective. Within the framework of the modern eco-system of the electronic industry, which is organized according to the model of Fabless, today the world library of complex-functional IP-cores (Silicon IP) is rapidly improving. Developers of Silicon IP compete in optimizing performance and using hardware resources. Today's topical issue is the optimization of hardware solutions to accelerate the implementation of the transaction and energy efficiency. Such blocks are used for the design of computing systems, systems-on-chip, digital devices, reconfigurable processors.

In order to solve the actual problem of efficiency increase, the following tasks are set out in the article:

- develop a functional block model (IP-core) for performing basic mathematical and logical operations for integration into a reconfigurable processor core;
- to investigate the time of propagation of signals during execution of arithmetic and logical operations;
- To investigate the efficiency of the IP multiplier nucleus, implemented on the basis of the multiplication acceleration method in comparison with the Altera library core IP.

The statement of basic materials. The article proposes the use of a coprocessor of the matrix multiplier called "Bo-Wooley" for the implementation of the multiplication operation. The structure of this matrix multiplier includes 2 types of blocks, which differ in the presence after the block OR the block NO. These blocks consist of the block OR, the adder, the block NO (depending on the type) and has 4 inputs and 2 outputs. Also, on the last layer there are adders. If necessary, it is possible to expand the grid matrix according to the needs of the bit.

Figure 1 depicts ALU that performs functions: multiplication, division, addition, subtraction, AND, OR, XOR, NOT. The device has a digit of 4 carries out operations with a sign.

At the input of the coprocessor are the arguments A and B, as well as the operation code F. All operations blocks perform appropriate actions, the results of which are sent to the multiplexer. The multiplexer (MUX) outputs the result of an operation that was specified by the operation code F.

Simulation of the work of the coprocessor. The project is developed by Altera's Quartus II CAD. The correctness of the data was verified by simulating a time chart. In the simulation, the Multiplexer (MUX) tested outputs the result of the operation that was specified by the operation code. The value of the delay of signals in the chains of the block synthesized using the mega-function LPM_MULT and the block synthesized using the Bo-Wool algorithm. The block time performance by the Bo-Wool method proved to be the best (12.889 ns) for the LPM_MULT (13.437 ns) block with four-bit input data.

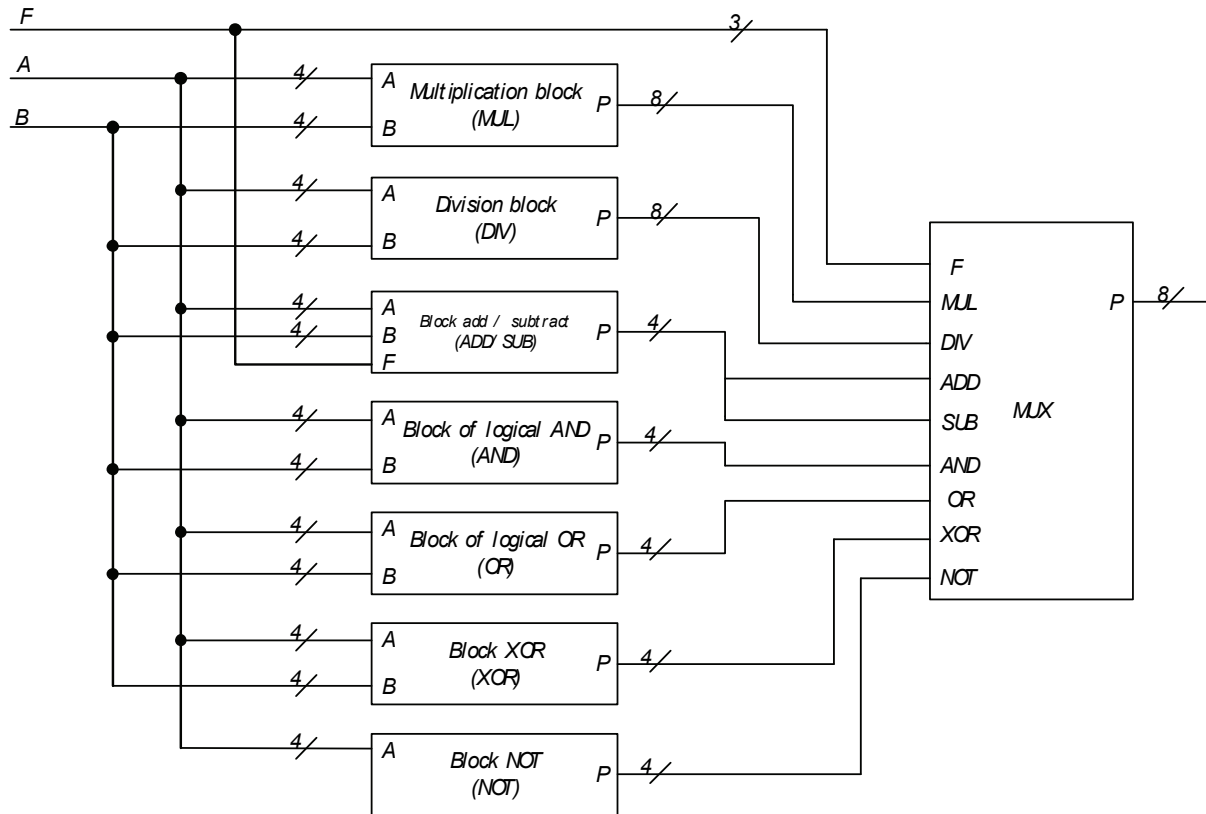


Fig. 1. The overall structure of the reconfigurable processor

Conclusions. Multistep arithmetic operations require a considerable time to execute at the software level and can significantly reduce system performance. The proposed implementation of computing units on an FPGA contributes to increased productivity by reducing the time spent doing the calculations and the possibility of dynamic reconfiguration from the bit rate of words processed to change the functionality in accordance with the requirements of solved tasks. The proposed solution allows you to implement operations of adding, multiplication and floating-point division on a coprocessor that is part of the computing system.

The main requirements for the development of new operating devices is the acceleration of operations. This was achieved during the implementation of the task in question.

The simulation results of the coprocessor showed a decrease in the multiplication time compared to the software implementation of the calculations by means of microcontrollers company Altera.

According to the results of the time analysis, the delay of the developed mathematical coprocessor is 12,889 ns, which is 0.548 ns less, compared with the calculator Altera (13,437 ns).

The main advantage of simulating a coprocessor is scalability. This means that the four-bit modules that are modeled and demonstrated in the article can be $n * 4$ arguments. Accordingly, with increasing the bit rate indicators will provide even better results.

The prospect for the development of work is the development of new units that perform other arithmetic operations (square root, elevation to degree). Also, as a further extension, it is expedient to develop a unit of firmware control.

References

1. Angepat H., FPGA–Accelerated Simulation of Computer Systems / H. Angepat, D. Chiou, E. Chung, J. Hoe. – IEEE, 2014. – 125–126.
2. Zhang Z., FPGA–oriented moving target defense against security threats from malicious FPGA tools/ Z. Zhang ; Q. Yu ; L. Njilla ; C. Kamhoua// 2018 IEEE International Symposium on Hardware Oriented Security and Trust (HOST). – IEEE, 2018. – P 5–6.
3. N. Shylashree. FPGA implementation of high speed scalar multiplication for ECC in GF(p)/ N. Shylashree, V. Sridhar// TENCON 2015 – 2015 IEEE Region 10 Conference, (Macao, China, 1–4 Nov. 2015) / IEEE, ISBN: 978–1–4799–8641–5. – P 8–9.
4. Braun, E. Digital Computer Design, Logic Circuitry, Synthesis//Academic Press, New York, 1963. – P 324–326.
5. Lehman, M. High–speed Digital Multiplication, IRE Transaction on Electronic Computers// Vol. EC–6–6, № 3, 1957. – P 6.
6. Taylor F., Multiplier policies for digital signal processing/ F. Taylor. – IEEE ASSP Magazine, vol. 7, Jan. 1990, – P. 6–20.
7. Booth, A., A Signed Binary Multiplication Technique, Quart. J. Mech. Appl. Math. 4, part 2/ 1951, –P. 236–240.
8. Chopade S. Performance analysis of vedic multiplication technique using FPGA/ S. S. Chopade, Rama Mehta// 2015 IEEE Bombay Section Symposium (IBSS), (Mumbai, India, 10–11 Sept. 2015)/ IEEE, ISBN: 978–1–4673–9542–7, – P. 489–490.
9. Al–Wattar A. Efficient On–line Hardware/Software Task Scheduling for Dynamic Run–time Reconfigurable Systems / A. Al–Wattar, S. Areibi, F. Saffih // Proceeding in 26th International Parallel and Distributed Processing Symposium Workshops & PhD Forum (IPDPSW). – IEEE, 2012. – P 401 – 406.
10. Gonzalez I. Dynamically Reconfigurable Coprocessors in FPGA–based Embedded Systems: Doctor of Science in Electronics Thesis : 21.03.2006 / I. Gonzalez; Universidad Autónoma de Madrid. – Madrid, 2006. P — 56 p.
11. Baugh, C. R., Wooley, B. A., A Two's Complement Parallel Array Multiplication Algorithm, IEEE Transactions on Computers, C–22, Dec. 1973, – P.1045–1047.

Autors

Poshtatska Kateryna –student, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: poshtatskayakatirina@gmail.com

Поштацька Катерина Володимирівна – студент, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Oboznyi Dmytro –student, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: DOboznyi@gmail.com

Обозний Дмитро Миколайович – студент, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Tkachenko Valentyna – Associate Professor, Candidate of Technical Sciences, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: tkavalivas@gmail.com

Ткаченко Валентина Василівна – доцент, кандидат технічних наук, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Верба Олександр – доцент, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Verba Oleksandr – Associate Professor, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: olverba@gmail.com

UDC 004.315

Обозний Дмитро, Поштацька Катерина,
Ткаченко Валентина, Верба Олександр

МАТЕМАТИЧНИЙ СПІВПРОЦЕСОР НА ПЛІС З МОЖЛИВІСТЮ РЕКОНФІГУРАЦІЇ

Анотація. Розроблено спеціалізований обчислювач для інтеграції з реконфігурованим процесором, який дозволяє прискорити виконання програм, шляхом апаратної реалізації критичних до часу виконання функціональних ядер. Запропонована модель спеціалізованого обчислювача на ПЛІС для виконання базових математичних та логічних операцій.

Вступ. В сучасному світі великої актуальності набув пошук нових архітектурних рішень для підвищення ефективності комп'ютерних систем. Ця тенденція стає все більше актуальною, зважаючи на те, що екстенсивні засоби прискорення обчислень досягли своїх граничних можливостей.

Мета роботи. Збільшити продуктивність обчислювальних блоків на ПЛІС за рахунок зменшення часу виконання обчислень та можливості динамічної реконфігурації від розрядності оброблюваних слів до зміни функціональних можливостей відповідно до вимог вирішуваних задач.

Постановка проблеми. Для вирішення актуальної проблеми підвищення ефективності у статті поставлені наступні завдання:

- розробити модель функціонального блока (IP–ядро) для виконання базових математичних та логічних операцій для інтеграції у реконфігуроване процесорне ядро;
- дослідити час розповсюдження сигналів під час виконання арифметичних та логічних операцій;
- дослідити ефективність IP–ядра помножувача, що реалізований на базі методу прискорення множення у порівнянні з бібліотечним IP–ядром компанії Altera.

Основна частина роботи. В роботі запропоновано апаратний співпроцесор на ПЛІС. Для реалізації операції множення розроблено матричний множник, що носить назву «Бо-Вулі В структуру розробленого матричного множника входить 2 типи блоків, що відрізняються наявністю після блоку АБО блоку НІ. Ці блоки складаються з блоку АБО, суматора, блоку НІ (в залежності від виду) та має 4 входи та 2 виходи. Також на останньому шарі знаходяться суматори. За необхідності можливо розширювати сітку матриці згідно з потребами розрядності.

Проект розроблений в САПР Quartus II компанії Altera. Коректність даних була перевірена за допомогою моделювання часової діаграми. При моделюванні були перевірені ульиплексор (MUX) видає на вихід результат операції, яку було

задано кодом операції F.значення затримки сигналів в ланцюгах блоку синтезованого за допомогою мега-функції LPM_MULT та блоку синтезованого за допомогою алгоритма Бо–Вулі.

Висновки. Розроблений математичний співпроцесор для виконання базових математичних та логічних операцій. Прискорення виконання операції множення досягнуто за рахунок зменшення часу виконання обчислень та можливості динамічної реконфігурації від розрядності оброблюваних слів до зміни функціональних можливостей відповідно до вимог вирішуваних задач.

Результати моделювання роботи співпроцесора показали прискорення виконання операції множення у порівнянні з відомою мегафункцією LPM_MULT компанії Altera. За результатами часового аналізу, час формування результату засобами розробленого математичного співпроцесора складає 12,889 нс, що на 0,548 нс менше, порівняно з відомим обчислювачем (13,437 нс). Використання методу «Бо-Вулі» для реалізації множення дозволило побудувати масштабований співпроцесор на ПЛІС. За результатами експериментів отримано, що при збільшенні розрядності показники швидкодії роботи співпроцесора збільшуються.

Перспективою до розвитку роботи є розробка нових блоків, що виконують інші арифметичні операції (квадратний корінь, піднесення до степеню). Також, в якості подальшого продовження, доцільним є розробка блоку мікропрограмного управління.