

UDC 004.315

Valerii Zhabin, Valentina Zhabina

EFFICIENCY IMPROVEMENT OF DIVISION OPERATION REALIZATION IN ON-LINE MODE

There is considered a method of numbers division, which enables to overlap realization of digit-by-digit input of operands, their processing and digit-by-digit output of the result starting with high-order digits. It allows reduction of the necessary FPGA hardware resource during realization of parallel systems with direct connection between calculation units by means of data transfer in serial code. There is provided partial overlapping of calculations that gives a potential opportunity to accelerate the computation process for realization of the series of operations connected by data. The method enables to add functionalities to the division operation in redundant symmetrical number system.

Key words: division operation, on-line computations, redundant number system, dependent operations overlap.

Tabl.: 1. Bibl.: 8.

Relevance of the research topic. For parallel systems the time of task solution depends not only on parallel algorithm branches processing time but also on time expenditures for information interchange between calculation units (CU). The use of systems with direct connection by means of data between CUs (DCS) permits to reduce the information interchange time [1-4]. Data transfer time reduction, as well as hardware implementation simplification is a relevant objective that requires additional researches, including development of efficient arithmetic operation realization methods.

Problem statement. When building systems based on FPGA, the efficient use of the microcircuit resource (internal functional blocks and external pins) is an important problem [5, 6]. By the example of the division operation there is considered an opportunity to solve the above-mentioned problem reducing number of connections between system units by means of data transfer in serial code.

Analysis of resent researches and publications. In parallel arithmetic the division methods require availability of all digits of numerator and denominator before calculation starts. It does not allow overlapping the processes of digit-by-digit input of operands and the process of result digits calculation, so realization of computations in on-line mode is impossible. To overlap the above-mentioned processes, division methods of quasi-parallel arithmetic were developed [7, 8]. In this case the calculations are realized starting with high-order digits and redundant number systems are used to avoid carries to higher number positions. Nevertheless, the well-known methods place restrictions to the form of operands representation, namely to their range and sign.

Singling out of unexplored parts of the general problem. Methods of division in on-line mode require further research. Adding functionalities to methods including possibility to process numbers with any sign, as well as to extend the range of operands representation is an important task to be solved to increase the data processing efficiency.

Task definition. The purpose of the research is to increase the efficiency of division operation realization in on-line mode by adding functionalities to the methods.

Statement of the main material. For division of numbers we will use a redundant symmetrical number system with the base $k = 2$ and the digits $\{-1,0,1\}$. In DCS the units are connected directly according to data flow graph of the task. It enables to interchange data between CUs without main memory use and, thus, to accelerate computations.

At the time of execution of series of operations connected by data the CUs work in the following way. At the each step CU accepts one operand digit from the previous CU and forms one digit of the result for the next CU. The operation is realized starting with the high-order digits. The formed result digit does not need any correction as in the redundant number system there are no carries to result high-order digits.

In the on-line mode the result digits are formed with the delay of p cycles, i.e. for division the CU executes binary operation $Z = 2^{-p} \cdot X / Y$, in which the operands are n -digit fractional numbers and the result has $m = n + p$ digits:

$$X = \sum_{i=1}^n x_i 2^{-i}, Y = \sum_{i=1}^n y_i 2^{-i}, Z = \sum_{i=1}^m z_i 2^{-i}. \quad (1)$$

Let's suggest that $0 \leq |X| < |Y|$ та $2^{-r} \leq |Y| < 1$ (r is an integer number, not greater than n). It is obvious, that in this case we get $|Z^*| < 1$ and $|Z| < 2^{-p}$. With X_i, Y_i, Z_i we define numbers that have only i high-order digits.

To get n digits of the function $Z^* = X / Y$, it is necessary to form $m = n + p$ digits of the function $Z = 2^{-p} X / Y$.

The condition of the symmetrical chopping of the function Z in i -th cycle of calculation is the following

$$Z_i - 2^{-i-1} \leq 2^{-p} X_i / Y_i < Z_i + 2^{-i-1}. \quad (2)$$

If in each cycle the expression (2) is fulfilled, then after m cycles we will get a function with the measure of inaccuracy that is not greater than 2^{-m-1} in absolute value. In fact, for $i = m$ the expression (2) is the condition of chopping $Z = 2^{-p} X_m / Y_m$ to m digits. During calculation process in i -th cycle the measure of inaccuracy of the result will not be greater than the half of the weight of the digit that is formed.

Let's define the following designation

$$R_i = (2^{-p} X_i - Z_i Y_i) 2^i. \quad (3)$$

At that, the condition (2) can be defined as follows

$$-2^{-1} Y_i \leq R_i < 2^{-1} Y_i. \quad (4)$$

Let's suggest that in $(i-1)$ -th cycle the condition (4) is fulfilled, i.e.

$$-2^{-1} Y_{i-1} \leq R_{i-1} < 2^{-1} Y_{i-1}. \quad (5)$$

We should find the minimal delay p in forming function Z^* digits, for which the condition (2) will be fulfilled in each cycle.

Using (1), (3) and (5) we get

$$R_i = 2R_{i-1} + 2^{-p} x_i - Z_{i-1} y_i - z_i Y_i. \quad (6)$$

Designating

$$H_i = 2R_{i-1} + 2^{-p} x_i - Z_{i-1} y_i, \quad (7)$$

we get

$$R_i = H_i - z_i Y_i. \quad (8)$$

In this case, taking into account (8) the expression (4) can be represented as follows

$$(z_i - 2^{-1}) Y_i \leq H_i < (z_i + 2^{-1}) Y_i. \quad (9)$$

Using the formula (9), we define the rule for selection of quotient digit from the set $\{-1, 0, 1\}$ in i -th cycle:

$$z_i = \begin{cases} -1, & \text{if } -\frac{3}{2} Y_i \leq H_i < -\frac{1}{2} Y_i; \\ 0, & \text{if } -\frac{1}{2} Y_i \leq H_i < \frac{1}{2} Y_i; \\ 1, & \text{if } \frac{1}{2} Y_i \leq H_i < \frac{3}{2} Y_i. \end{cases} \quad (10)$$

In order to get the correct result, it is necessary to keep H_i values within the interval $-\frac{3}{2} Y_i \leq H_i < \frac{3}{2} Y_i$. Selecting p values it is possible to provide the fulfillment of the following expressions:

$$H_{i\max} < \frac{3}{2} Y_i, \quad H_{i\min} \geq -\frac{3}{2} Y_i. \quad (11)$$

Taking into account the formulas (4), (6) and the range of numbers representation we can prove that the expressions (11) are correct when the minimal integer value of the delay is the following: $p = 3$.

Algorithm of i -th cycle execution (where $i = 1, \dots, m$) is boiled down to the following calculations.

Using the formula (7), we find the intermediate value H_i ($H_0 = 0$), then according to the rule (11) the digit of the result z_i is formed. For the next cycle, the value of R_i is calculated by the formula (8).

The process of division of 5-digit fractional operands $X = 0.101\bar{1}0$ and $Y = 0.1101\bar{1}$ is shown in the table 1.

Table 1

Values of variables during process of number division

i	x_i	y_i	Y_i	H_i	<i>Fulfilled condition</i>	z_i	Z_i	R_i
1	1	1	0.1	0.0010000	$-1/2 Y_1 < H_1 < 1/2 Y_1$	0	0.0	0.0010000
2	0	1	0.11	0.0100000	$-1/2 Y_2 < H_2 < 1/2 Y_2$	0	0.00	0,0100000
3	1	0	0.110	0.1010000	$1/2 Y_3 < H_3 < 3/2 Y_3$	1	0.001	-0,0010000
4	-1	1	0.1101	-0.1000000	$-3/2 Y_4 < H_4 < -1/2 Y_4$	-1	0.0001	0.0101000
5	0	-1	0.11001	0.1011000	$1/2 Y_5 < H_5 < 3/2 Y_5$	1	0.00011	-0.0001100
6	-	-	0.11001	-0.0011000	$-1/2 Y_5 < H_6 < 1/2 Y_6$	0	0.000110	-0.0011000
7	-	-	0.11001	-0.0110000	$-1/2 Y_7 < H_7 < 1/2 Y_7$	0	0.0001100	-0.0110000
8	-	-	0.11001	-0.1100000	$-3/2 Y_8 < H_8 < -1/2 Y_8$	-1	0.00010111	0.0000100

After $m = n + p = 5 + 3 = 8$ cycles are completed, the following results represented in the canonical binary number system are formed:

$$Z = 2^{-3} X / Y = 0.00010111 ; Z^* = X / Y = 0.10111 .$$

The measure of inaccuracy of each function calculation is not greater than the half of the weight of the low-order digit of the result.

Conclusions. There was proposed an algorithm for number division in on-line mode that stipulates the use of redundant symmetrical number system with the digits $\{-1, 0, 1\}$ and the base $k = 2$.

The increase of division operation realization effectiveness in comparison with the well-known methods was achieved due to adding functionalities including the capability to process numbers with different signs, as well as to extend the range of number representation.

The operation realization is digit-by-digit, starts with high-order digits and allows overlapping of input, processing and output of digits. Also, it allows overlapping of connected operations execution in different units, i.e. execution of series of connected operations in concurrency mode at the level of digits processing, and enables to accelerate computations.

The on-line calculations enable to transfer data between system calculation units in the serial code. It reduces the scope of necessary FPGA functionalities and commutation resources (functional cells and input-output cells). Moreover, in this mode the energy consumption is also reduced and the system reliability is increased.

References

1. Zhabin V.I. Design of High-Speed Specialized Computers for the Realization of Many-Place Expressions / V. I. Zhabin, V. I. Korneichuk, V. P. Tarasenko // Automatic Control and Computer Sciences. – 1981. – vol. 15, no 6. – P. 15-18.

2. Zhabin V. I. Computation of Rational Functions for Many Arguments / V.I.Zhabin, V.I.Korneichuk, V.P.Tarasenko // Automation and Remote Control. – 1978. – vol. 38, no 12. – P. 1864-1871.

3. Дичка И. А. Совмещение зависимых операций на уровне обработки разрядов операндов / И.А.Дичка, В.В.Жабина // Искусственный интеллект. – 2008. – №3. – С. 649-654.

4. Жабин В. И. Выполнение последовательностей зависимых операций в режиме совмещения / В. И. Жабин // Вісник Національного технічного університету України “КПІ”. „Інформатика, управління та обчислювальна техніка”. – 2007. – №46. – С. 226-233

5. Максфилд К. Проектирование на ПЛИС. Архитектура, средства и методы / К. Максфилд. – М.: Издательский дом «Додэка-XXI», 2007. – 408 с.

6. Жабин В.И. Реализация неавтономных вычислений в избыточных системах счисления на ПЛИС / В.И. Жабин, В.В. Жабина, А.В. Скориченко // Вісник НТУУ "КПІ". Інформатика, управління та обчислювальна техніка. – 2016. – №64. – С. 150-155.

7. Zhabin V.I. Division Method for Numbers in Redundant Representation / V.I.Zhabin, V.I.Korneichuk, V.P.Tarasenko // Control and Computer Sciences. – 1978. – vol. 38, no 12. – P. 1 864-1871.

8. Жабин В.И. Реализация операции деления при поразрядном вводе и выводе информации / В.И.Жабин // Проблеми інформатизації та управління: Зб. наук. праць. – К.: НАУ, 2007. – Вип. 2 (20). – С. 65-71.

Information about authors

Valerii Zhabin – professor, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: viz.kpi@gmail.com

Valentina Zhabina – assistant professor, Department of Computer Systems Software, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: val.zhabina2@gmail.com

РОЗШИРЕНА АНОТАЦІЯ

Валерій Жабін, Валентина Жабіна

ПІДВИЩЕННЯ ЕФЕКТИВНОСТІ РЕАЛІЗАЦІЇ ОПЕРАЦІЇ ДІЛЕННЯ В НЕАВТОНОМНОМУ РЕЖИМІ

Актуальність теми дослідження. Зростаюча складність задач обробки інформації в реальному часі обумовлює застосування паралельних обчислювальних систем. Час рішення задач в таких системах залежить не тільки від часу виконання паралельних гілок алгоритмів, але і від витрат часу на обмін інформацією між обчислювальними модулями. Зменшити витрати часу на обмін даними дозволяє використання паралельних систем з безпосередніми зв'язками між модулями системи за рахунок пересилання даних послідовним кодом. Підвищення ефективності таких систем є актуальним завданням, що вимагає додаткових досліджень, в тому числі розробки ефективних методів виконання арифметичних операцій.

Постановка проблеми. При побудові систем на базі ПЛІС важливою проблемою є економне використання ресурсу мікросхем (внутрішніх функціональних блоків і зовнішніх виводів) з метою зменшення числа мікросхем для реалізації обчислювальної системи. На прикладі операції ділення у роботі розглядається можливість вирішення зазначеної проблеми за рахунок зменшення кількості зв'язків між вузлами системи шляхом пересилання даних послідовним кодом.

Аналіз останніх досліджень і публікацій. Методи ділення в паралельній арифметиці потребують наявності всіх розрядів діленого та дільника перед початком обчислень. Це не дозволяє суміщувати процеси порозрядного введення операндів та формування розрядів результату. Для суміщення вказаних процесів розроблені методи ділення квазіпаралельної арифметики. Обчислення в цьому випадку виконуються в неавтономному (on-line) режимі зі старших розрядів операндів, а для вилучення переносів в старші розряди використовують надлишкові системи числення. Операційні модулі в системі з'єднуються відповідно потоковому графу задачі. При виконанні ланцюжків залежних за даними операцій одержаний в i -му циклі розряд результату в одному модулі може в $(i + 1)$ -му циклі в іншому модулі оброблятися як черговий розряд операнду. Це забезпечує часткове суміщення операцій на рівні обробки розрядів операндів.

Виділення недосліджених частин загальної проблеми. Методи ділення в неавтономному режимі потребують подальшого дослідження. Для підвищення ефективності обробки даних в системах реального часу важливим завданням є підвищення функціональних можливостей методів, в тому числі, забезпечення обробки чисел з довільними знаками та розширення діапазону подання операндів.

Постановка завдання. Метою роботи є підвищення ефективності виконання операції ділення чисел в неавтономному режимі шляхом розширення вказаних вище функціональних можливостей методів.

Викладення основного матеріалу. Запропоновано алгоритм ділення чисел в неавтономному режимі з використанням надлишкової симетричної системи числення з цифрами $\{-1, 0, 1\}$ та основою $k = 2$. Метод дозволяє суміщення процесів порозрядного введення операндів, їх обробки та порозрядного виведення результату. Це дає можливість реалізувати паралельну обробку на розрядному рівні залежних за даними операцій, що дозволяє прискорити обчислення. Показано приклад ділення чисел.

Висновки. Досягнуто підвищення ефективності виконання операції ділення відносно відомих методів за рахунок розширення функціональних можливостей, в тому числі, забезпечення обробки чисел з довільними знаками та збільшення діапазону подання операндів.

Завдяки пересиланню даних між вузлами системи послідовним кодом зменшуються необхідні функціональні та комутаційні ресурси ПЛІС (функціональні комірки та комірки введення-виведення). В свою чергу, зменшується енергоспоживання та підвищується надійність систем.

Розглядається метод ділення чисел в неавтономному режимі, що дозволяє суміщення процесів порозрядного введення операндів, їх обробки та порозрядного виведення результату, починаючи зі старших розрядів. Це дає можливість зменшити необхідний апаратний ресурс ПЛІС при реалізації паралельних систем з безпосередніми зв'язками між обчислювальними модулями за рахунок пересилання даних послідовним кодом. При виконанні послідовності залежних за даними операцій забезпечується часткове суміщення виконання операцій, що дає потенційну можливість для прискорення обчислень. Метод розширює функціональні можливості операції ділення чисел в надлишковій симетричній системі числення.

Ключові слова: операція ділення, неавтономні обчислення, надлишкова система числення, суміщення залежних операцій.

Автори

Жабін Валерій Іванович – професор, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

E-mail: viz.kpi@gmail.com

Жабіна Валентина Валеріївна – доцент, кафедра програмного забезпечення комп'ютерних систем, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

E-mail: val.zhabina2@gmail.com

РОЗШИРЕНА АНОТАЦІЯ

Valerii Zhabin, Valentuibna Zhabinba

EFFICIENCY IMPROVEMENT OF DIVISION OPERATION REALIZATION IN ON-LINE MODE

Relevance of the research topic. For parallel systems the time of task solution depends not only on parallel algorithm branches processing time but also on time expenditures for information interchange between calculation units. Data transfer time reduction, as well as hardware implementation simplification is a relevant objective that requires additional researches, including development of efficient arithmetic operation realization methods.

Problem statement. When building systems based on FPGA, the efficient use of the microcircuit resource (internal functional blocks and external pins) is an important problem. By the example of the division operation there is considered an opportunity to solve the above-mentioned problem reducing number of connections between system units by means of data transfer in serial code.

Analysis of resent researches and publications. In parallel arithmetic the division methods require availability of all digits of numerator and denominator before calculation starts. It does not allow overlapping the processes of digit-by-digit input of operands and the process of result digits calculation, so realization of computations in on-line mode is impossible. To overlap the above-mentioned processes, division methods of quasi-parallel arithmetic were developed. In this case the calculations are realized starting with high-order digits and redundant number systems are used to avoid carries to higher number positions. Nevertheless, the well-known methods place restrictions to the form of operands representation, namely to their range and sign.

Singling out of unexplored parts of the general problem. Methods of division in on-line mode require further research. Adding functionalities to methods including possibility to process numbers with any sign, as well as to extend the range of operands representation is an important task to be solved to increase the data processing efficiency.

Task definition. The purpose of the research is to increase the efficiency of division operation realization in on-line mode by adding functionalities to the methods.

Statement of the main material. There is proposed a method of numbers division in on-line mode, which enables to overlap realization of digit-by-digit input of operands, their processing and digit-by-digit output of the result starting with high-order digits. It enables to realize parallel processing of operations connected by data at the level of operand digits that allows acceleration of data transfer. Unlike the well-known methods, this one gives an opportunity to realize division of numbers with any sign. Moreover, the range of data representation is extended.